

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-220328

(43)Date of publication of application : 10.08.1999

(51)Int.Cl.

H03B 5/32

(21)Application number : 10-033633

(71)Applicant : KINSEKI LTD

(22)Date of filing : 30.01.1998

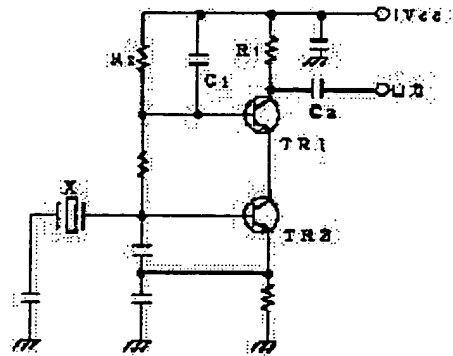
(72)Inventor : CHIBA TADATAKA

(54) PIEZOELECTRIC OSCILLATION CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To shorten an oscillation starting time by providing a capacitor between the base and the collector of a first transistor in an oscillation circuit consisting of a second transistor cascade-connected with the first transistor.

SOLUTION: A first transistor TR1 is cascade-connected to a second transistor TR2 constituting a Colpitts oscillation circuit and a power source Vcc is connected to the base of the first transistor TR1 through a resistor R2 and connected through a capacitor C in parallel with this. That is, in the oscillation circuit constitution of the first and second transistors TR1 and TR2, concerning the power source Vcc to be supplied for the base of the first transistor TR1, the voltage of the power source Vcc is directly applied to the first transistor TR1 through a capacitor C1 only by the portion of the capacity storing time of the capacity C1 to increase its collector current to make a starting time earlier.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(51) IntCl³

識別記号

F I

H 0 3 B 5/32

H 0 3 B 5/32

D

審査請求 未請求 請求項の数1 F D (全 4 頁)

(21) 出願番号 特願平10-33633

(22) 出願日 平成10年(1998) 1月30日

(71) 出願人 000104722

キンセキ株式会社

東京都狛江市和泉本町1丁目8番1号

(72) 発明者 千葉 忠孝

東京都狛江市和泉本町1丁目8番1号 キ

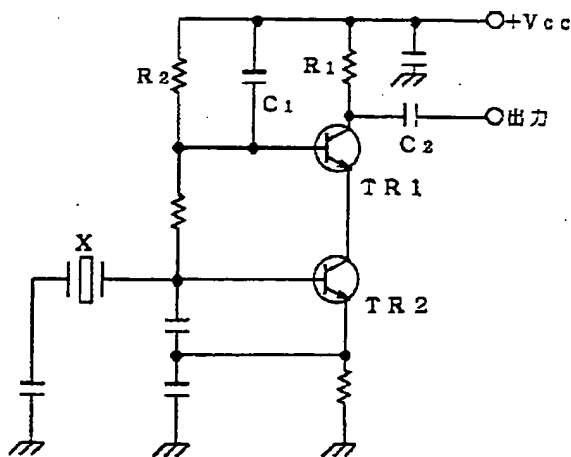
ンセキ株式会社内

(54) 【発明の名称】 圧電発振回路

(57) 【要約】

【目的】 通信回線に用いられる通信周波数内を多くの携帯電話回線が通信できるよう狭帯域で通信周波数網が展開すると同時に、携帯電話機本体と通信基地局との間の送受信のタイミングを短縮するために携帯電話機の発振器自体の発振起動時間を短くすることにある。

【構成】 目的を達成するためにコルピッツ発振回路を構成する第1のトランジスタとカスケード接続された第2のトランジスタにより構成された発振器回路の、第1のトランジスタのベース、電源間にコンデンサを備えた発振回路にすることで発振起動時間を短くでき課題を解決する。



【特許請求の範囲】

【請求項1】 コルピッツ発振回路を構成する第1のトランジスタとカスケード接続された第2のトランジスタからなり、第2のトランジスタのベースと接地間に圧電振動子を接続した圧電発振回路において、前記第1のトランジスタのベース、コレクタ間にコンデンサを備えたことを特徴とする圧電発振回路。

【0001】

【発明の詳細な説明】

【発明の属する技術分野】 圧電振動子を用い、直列接続したトランジスタにより発振回路を構成した圧電発振回路に関する。

【0002】

【従来の技術】 一般的に通信機器の基準信号には水晶発振器が用いられている。特に最近での通信機器に代表する携帯電話にあっては、温度特性が良く、電圧変動による周波数変動が少なく、低消費電流で小型化でき安価な発振器の要求が強い。これらの要求を満足する上でも水晶発振器必要不可欠な存在にあり、特に高調波ノイズの発生が少ない図2に示す発振回路例に示すトランジスタを用いた発振器は以前より多くの通信機器に取り入れられている。

【0003】 図2に示すトランジスタを用いた一般的な発振回路とは、水晶振動子X、コンデンサC、R抵抗、第2のトランジスタTR2によってコルピッツ型発振回路が構成されている。前記コルピッツ型発振回路を構成する第2のトランジスタTR2に対して、トランジスタTR1がカスケード接続されている。第1のトランジスタTR1のコレクタは、抵抗Rを介して電源Vccに接続されている。また、第1のトランジスタTR1のエミッタはコンデンサCを介して設置されると同時に、第2のトランジスタTR2のコレクタにカスケード接続されており、第1のトランジスタTR1のコレクタからコンデンサCを介して出力が取り出されている。

【0004】 上述するトランジスタを用いた一般発振回路構成の2つのトランジスタTR1、TR2をカスケード接続することにより前述する要求を満足する発振器を構成できるものである。

【0005】

【発明が解決しようとする課題】 従来の2個のトランジスタをカスケード接続した発振回路は、トランジスタをカスケード接続する構成から消費電力を少なく抑えることや、構成部品の価格から考慮しても安価に構成できることにより発振器として要求される仕様は満足させることができる。しかし、昨今の携帯電話に要求される発振器の重要な条件は、小型化、軽量化、低価格化は勿論のこと、発振器の発振起動時間の短縮要求が強くなってきている現状にある。

【0006】 携帯電話機はここ数年で特に若年層を中心に急激な利用拡大が図られてきている。その理由のひと

つには流行があり何よりも購入しやすいという携帯電話機自体の価格が安価に移行した背景が挙げられる。従って、通信回線に用いられる通信周波数内を多くの携帯電話回線が通信できるよう狭帯域で通信周波数網が展開すると同時に、携帯電話機本体と通信基地局との送受信のタイミングを短縮するために携帯電話機の発振器自体の発振起動時間を短くする要求が生じるものである。

【0007】

【課題を解決するための手段】 前記の発振起動時間を改善し発振起動立ち上がり時間を短くするために、コルピッツ発振回路を構成する第1のトランジスタとカスケード接続された第2のトランジスタにより構成された発振器回路の、第1のトランジスタのベース、コレクタ間にコンデンサを備えた発振回路にすることで発振起動時間を短くでき課題を解決する。

【0008】

【実施例】 以下、添付図面に従ってこの発明の実施例を説明する。なお、各図において同一の符号は同様の対象を示すものとする。図1に本発明の発振回路の回路構成図を示す。図1の回路構成は、第2のトランジスタTR2によりコルピッツ発振回路が構成されていて、発振回路のクロックとして水晶振動子が用いられている。要するに本発明の回路としては、水晶振動子X、コンデンサ、抵抗、第2のトランジスタTR2によってコルピッツ型発振回路を構成するものである。

【0009】 前記コルピッツ型発振回路を構成する第2のトランジスタTR2に対して、第1のトランジスタTR1がカスケード接続されている。第1のトランジスタTR1のコレクタは、抵抗R1を介して電源Vccに接続されており、第1のトランジスタTRのベースには抵抗R2を介して電源Vccが接続されている。また、第1のトランジスタTR1のエミッタはコンデンサC1を介して設置すると同時に、第2のトランジスタTR2のコレクタに接続されており、第1のトランジスタTR1のコレクタからコンデンサC2を介して出力が取り出されている。

【0010】 本発明では、上述する回路構成の第1のトランジスタTR1のベースに抵抗R2を介して電源Vccが接続される構成と、これに並列にコンデンサCを介して接続することを特徴とする。要するに第1のトランジスタTRと第2のトランジスタTRの発振回路構成の第1のトランジスタTRのベースに供給する電源VccをコンデンサC1を介することにより、コンデンサC1の容量蓄積時間分だけ、第1のトランジスタTRに電源Vcc電圧を直接印加することにより、第1のトランジスタTRのコレクタ電流を増加させることにより起動時間を早めることができる。

【0011】 その結果、第1のトランジスタTR1と第2のトランジスタTR2で構成する発振器全体の駆動速度を早めることで相対的な発振回路の起動立ち上がり速

度を改善し起動時間を短くすることができる。本実施例では、第1のトランジスタTRのベースと電源Vccとに介するコンデンサCの値を0.01 μ F~0.1 μ Fの間のコンデンサを用いている。本実施例では圧電振動子として水晶振動子を挙げたが、セラミック振動子など他の圧電対であってもよい。

【0012】

【発明の効果】本発明により従来の発振回路に比べ発振起動時の立ち上がり時間を短縮することができることで、通信機器を代表とする携帯電話機における通信動作

を安定化することができる。もちろん携帯電話に限らず、起動時間を早くするために必要な設備においても応用できることはもちろんである。

【図面の簡単な説明】

【図1】本発明の発振回路構成図である。

【図2】従来の発振回路構成図である。

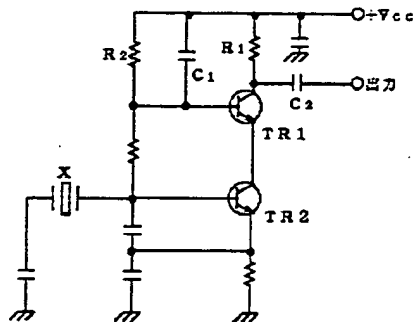
【符号の説明】

TR1 第1のトランジスタ

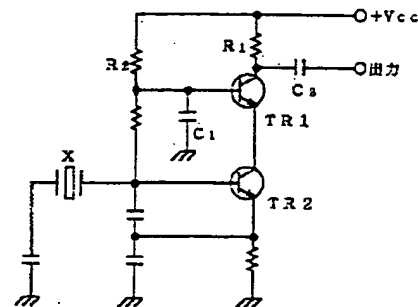
TR2 第2のトランジスタ

C1 コンデンサ

【図1】



【図2】



【手続補正書】

【提出日】平成10年2月27日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 コルピッツ発振回路を構成する第1のトランジスタとカスケード接続された第2のトランジスタからなり、第2のトランジスタのベースと接地間に圧電振動子を接続した圧電発振回路において、前記第1のトランジスタのベース、電源間にコンデンサを備えたことを特徴とする圧電発振回路。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0007

【補正方法】変更

【補正内容】

【0007】

【課題を解決するための手段】前記の発振起動時間を改善し発振起動立ち上がり時間を短くするために、コルピッツ発振回路を構成する第1のトランジスタとカスケード接続された第2のトランジスタにより構成された発振器回路の、第1のトランジスタのベース、電源間にコン

デンサを備えた発振回路にすることで発振起動時間を短くでき課題を解決する。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0009

【補正方法】変更

【補正内容】

【0009】前記コルピッツ型発振回路を構成する第2のトランジスタTR2に対して、第1のトランジスタTR1がカスケード接続されている。第1のトランジスタTR1のコレクタは、抵抗R1を介して電源Vccに接続されており、第1のトランジスタTRのベースには抵抗R2を介して電源Vccが接続されている。また、第1のトランジスタTR1のエミッタは第2のトランジスタTR2のコレクタに接続されており、第1のトランジスタTR1のコレクタからコンデンサC2を介して出力が取り出されている。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正内容】

【0010】本発明では、上述する回路構成の第1のトランジスタTR1のベースに抵抗R2を介して電源Vc

cが接続される構成と、これに並列にコンデンサCを介して接続することを特徴とする。要するに第1のトランジスタTR₁と第2のトランジスタTR₂の発振回路構成の第1のトランジスタTR₁のベースに供給する電源VccをコンデンサC1を介することにより、コンデン

サC1の容量蓄積時間分だけ、第1のトランジスタTR₁に電源Vcc電圧を直接印加することにより、第1のトランジスタTR₁のコレクタ電流を増加させることにより起動時間を早めることができる。

【手続補正書】

【提出日】平成10年3月4日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 コルピッツ発振回路を構成する第1のトランジスタとカスケード接続された第2のトランジスタからなり、第2のトランジスタのベースと接地間に圧電振動子を接続した圧電発振回路において、前記第1のトランジスタのベース、電源間にコンデンサを備えたことを特徴とする圧電発振回路。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0007

【補正方法】変更

【補正内容】

【0007】

【課題を解決するための手段】前記の発振起動時間を改善し発振起動立ち上がり時間を短くするために、コルピッツ発振回路を構成する第1のトランジスタとカスケード接続された第2のトランジスタにより構成された発振器回路の、第1のトランジスタのベース、電源間にコンデンサを備えた発振回路にすることで発振起動時間を短くでき課題を解決する。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0009

【補正方法】変更

【補正内容】

【0009】前記コルピッツ型発振回路を構成する第2のトランジスタTR₂に対して、第1のトランジスタTR₁がカスケード接続されている。第1のトランジスタTR₁のコレクタは、抵抗R1を介して電源Vccに接続されており、第1のトランジスタTRのベースには抵抗R2を介して電源Vccが接続されている。また、第1のトランジスタTR₁のエミッタは第2のトランジスタTR₂のコレクタに接続されており、第1のトランジスタTR₁のコレクタからコンデンサC2を介して出力が取り出されている。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正内容】

【0010】本発明では、上述する回路構成の第1のトランジスタTR₁のベースに抵抗R2を介して電源Vccが接続される構成と、これに並列にコンデンサCを介して接続することを特徴とする。要するに第1のトランジスタTR₁と第2のトランジスタTR₂の発振回路構成の第1のトランジスタTR₁のベースに供給する電源VccをコンデンサC1を介することにより、コンデンサC1の容量蓄積時間分だけ、第1のトランジスタTR₁に電源Vcc電圧を直接印加することにより、第1のトランジスタTR₁のコレクタ電流を増加させることにより起動時間を早めることができる。